

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
Please do not report the images to the
Image Problem Mailbox.



Office Action

In the Office Action, a copy of the Office Action in Korean and a copy of the Office Action translated into Japanese are enclosed.

The Examiner rejected the Patent Application for the reasons shown below.

Reasons:

The invention recited in claims 1, 2 and 4 is unpatentable under Article 29 (2) of the Korean Patent Law because the invention claimed in the Korean Patent Application can be easily invented by a person skilled in the art according to the following point.

Point:

The present invention claimed in claim 4 relates to a method for manufacturing a semiconductor device provided with a contact plug, formed by opening a contact hole through a first interlayer insulating film formed on a silicon substrate and filling a contact hole with silicon, comprising the steps of: forming a first insulating film on said silicon substrate, forming said contact hole through said first interlayer insulating film, filling said contact hole with a silicon plug, and forming a silicide pad having a larger diameter than that of said silicon plug in a self-aligning manner, wherein the top surface of said silicide pad is disposed above the top surface of said interlayer insulating surface.

However, Korean patent Application No. 99-88255 (published on December 27, 1999) discloses a method of manufacturing a semiconductor device, in which a contact hole reaching a source and drain region on a metal oxide semiconductor (MOS) transistor are made into an interlayer insulating film, and a contact plug is formed of a polycrystalline silicon. After that, a pad of a connection pad is formed through a method, by which polysilicon silicon is not deposited on the interlayer insulating film but is grown. Since the similar processes are disclosed and the structure of the similar semiconductor device is depicted in figures, the present application claimed in the above claim would have been easily invented in view of the above prior art reference.

출력 일자: 2003/1/25

발송번호 : 9-5-2003-002308068

수신 : 서울 강남구 역삼동 831번지 혜천빌딩

발송일자 : 2003.01.24

1405호(특허법률사무소)

제출기일 : 2003.03.24

조의제 귀하

135-080

특허청 의견제출통지서

출원인 명칭 닛본 덴기 가부시끼가이샤 (출원인코드: 519980958731)

주소 일본국 도쿄도 미나토구 시바 5쵸메 7방 1고

대리인 성명 조의제

주소 서울 강남구 역삼동 831번지 혜천빌딩 1405호(특허법률사무소)

출원번호 10-2001-0003801

발명의 명칭 반도체장치구조 및 그 제조방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서 또는/및 보정서를 제출하여 주시기 바랍니다. (상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 제1항, 제2항, 제4항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

[아래]

청구항 제4항은 실리콘기판상에 제1층간절연막을 형성하고 제1층간절연막에 접촉구멍을 형성하고 접촉구멍을 실리콘플러그로 매장하고 실리콘플러그의 직경보다 큰 직경을 가진 실리콘사이드패드를 자기정합적으로 형성하는 단계를 포함하고 실리콘사이드패드의 윗면이 제1층간절연막의 윗면보다 높게 배치되는 반도체장치의 제조방법에 관한 것이고, 청구항 제1항, 제2항은 이의 구조에 관한 것이지만, 한국공개특허공보 제99-88255호(1999.12.27공개)에는 반도체기판상에 소오스 및 드레인영역으로서 제공되는 불순물확산영역들과 게이트전극을 포함하는 MOS트랜지스터들을 형성하는 단계와 MOS트랜지스터위에 제1층간절연막을 증착하는 단계와 제1층간절연막내에 불순물확산영역들에 도달하는 콘택홀들을 오픈하는 단계와 반도체기판의 전면에 도전체를 증착하는 단계와 증착된 도전체를 에치백하여 콘택홀들 내에만 콘택플러그들을 형성하는 단계와 선택성장방법을 이용하여 콘택플러그들 상에만 패드부들을 형성하는 단계와 반도체기판 상에 캐패시터콘택들을 통하여 상기 패드부들과 연결되도록 캐패시터를 형성하는 단계를 포함하며, 각 콘택플러그들은 제1 직경을 갖고 각 패드부는 제2 직경을 가지며, 제2 직경은 제1 직경을 초과하는 것을 특징으로 하는 반도체장치 제조방법이 기재되어 있고 이것에 관한 구성이 도면에 명시되어 있으므로 상기한 청구항은 인용예에 의하여 용이하게 발명할 수 있는 것으로 인정됩니다.

[첨부]

첨부1 한국공개특허공보 제99-88255호(1999.12.27공개) 끝.

2003.01.24

특허청

심사4국

반도체1심사담당관실

심사관 김종천



출력 일자: 2003/1/25

<<안내>>

문의사항이 있으시면 ☎ 042-481-5722 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터

(訳文)

特許庁
意見提出（拒絶理由）通知書

出願人 氏名 日本電気株式会社
住所 日本国東京都港区芝5丁目7番1号
代理人 氏名 趙義済
住所 ソウル市江南区駅三洞831 恵泉ビル1405号
出願番号 10-2001-0003801
発明の名称 半導体装置構造及びその製造方法

この出願に対する審査の結果、次のような拒絶理由があつて特許法第63条の規定によりこれを通知しますので、意見があるかまたは補正が必要な場合には2003年3月24日までに意見書または／及び補正書を提出願います(上記提出期間については毎回1ヶ月単位で延長申請することができますが、期間延長の承認通知は別途に致しません)。

理 由

この出願の特許請求範囲第1項、第2項、第4項に記載された発明は、その出願前にこの発明の属する技術分野で通常の知識を有する者が下記に指摘したところにより容易に発明できたものであるから、特許法第29条第2項の規定により特許を受けることができません。

記

請求項第4項はシリコン基板上に第1層間絶縁膜を形成して第1層間絶縁膜に接触孔を形成し、接触孔をシリコンプラグで埋め込み、シリコンプラグの径より大きい径を有するシリサイドパッドを自己整合的に形成する工程を含み、シリサイドパッドの上面が第1層間絶縁膜の上面より上方に配置される半導体装置の製造方法に関するもので、請求項第1項及び第2項はこのような構造に関するものであるが、韓国公開特許公報第99-88255号(1999.12.27.公開)には、半導体基板上にソース及びドレイン領域として供される不純物拡散領域とゲート電極を含むMOSトランジスタを形成する工程と、MOSトランジスタ上に第1層間絶縁膜を蒸着する工程と、第1層間絶縁膜内に不純物拡散領域に達するコンタクトホールをオープンする工程と、半導体基板の全面に導電体を蒸着する工程と、蒸着された導電体をエッチバックしてコンタクトホール内にのみコ

ンタクトプラグを形成する工程と、選択成長法を利用してコンタクトプラグ上のみにパッド部を形成する工程と、半導体基板上にキャパシタコンタクトを通じて前記パッド部と連結されるようにキャパシタを形成する工程を含み、各コンタクトプラグは第1径を有し、各パッド部は第2径を有し第2径は第1径を超えることを特徴とする半導体装置の製造方法が記載されており、これに関する構成が図面に明示されているので、上記の請求項は引用例により容易に発明できたものと認められる。

[添付]

添付1 韓国公開特許公報第99-88255号(1999.12.27.公開) 以上

2003. 1. 24

特許庁

審査4局

半導体1審査担当官室

審査官 金 鐘 燦 (印)